**Závěrečná zpráva**

|  |  |  |  |
| --- | --- | --- | --- |
|  | | | |
|  | **Jméno** | | **Datum** |
| Autor: | Petr | Čechura | dd.mm.yyyy |
|  |  |  |  |

1. document change log

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Verze | Datum | Autor | Strany | Popis změn |
| 1.0 |  |  | Všechny | První verze |
|  |  |  |  |  |

1. Obsah

[1 Úvod 4](#_Toc86057407)

[2 Aplikovatelné a Odkazované dokumenty 5](#_Toc86057408)

[2.1 Seznam aplikovatelných dokumentů 5](#_Toc86057409)

[2.2 Seznam odkazovaných dokumentů 5](#_Toc86057410)

[3 Definice a seznam zkratek 6](#_Toc86057411)

[3.1 Definice 6](#_Toc86057412)

[3.2 Psaní čísel 6](#_Toc86057413)

[3.3 Jednotky 6](#_Toc86057414)

[3.4 Zkratky 6](#_Toc86057415)

[4 Představení projektu 7](#_Toc86057416)

[5 Plán vývoje 8](#_Toc86057417)

[6 Popis Návrhu 9](#_Toc86057418)

[7 Verifikační Plán 10](#_Toc86057419)

[7.1 Verifikační matice 10](#_Toc86057420)

[7.2 Popis verifikačního prostředí 10](#_Toc86057421)

[7.3 Verifikační testy 11](#_Toc86057422)

[8 Výsledky implementace 13](#_Toc86057423)

1. Seznam Obrázků

[Obrázek 4‑1 Blokové schéma AAU 7](#_Toc86057323)

[Obrázek 5‑1 Vývojový diagram 8](#_Toc86057324)

[Obrázek 4‑1 Blokové schéma pomocné aritmetické jednotky 9](#_Toc86057325)

[Obrázek 4‑1 Blokové schéma verifikačního prostředí 10](#_Toc86057326)

1. Seznam Tabulek

[Table 2‑1 Applicable Documents 5](#_Toc86057327)

[Table 2‑2 Reference Documents 5](#_Toc86057328)

[Table 2‑2 Verifikační matice 10](#_Toc86057329)

# Úvod

# Aplikovatelné a Odkazované dokumenty

Všechny dokumenty sloužící jako zadávací dokumentace nebo odkazované v tomto textu jsou uvedeny v tabulkách dole. Pokud není známá přesná verze, je použito datum vydání dokumentu (měsíc/rok). V případě že není známé ani datum vydání, je jako verze uvedena hodnota 0.

## Seznam aplikovatelných dokumentů

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Ref. | Název | | Číslo dokumentu |  | Verze |
|  | |  | - |  | - |
|  | | - | - |  | - |

Table 2‑1 Seznam aplikovatelných dokumentů

## Seznam odkazovaných dokumentů

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Ref. | Název | | Číslo dokumentu |  | Verze |
|  | | Pomocná aritmetická jednotka  Semestrální projekt | 1 |  | - |
|  | | Requirement Specification | 2 |  | - |

Table 2‑2 Seznam odkazovaných dokumentů

# Definice a seznam zkratek

*Formální část dokumentu, doporučujeme inspirovat se obsahem podobné kapitoly ve specifikaci požadavků.*

## Definice

*Cokoliv je třeba definovat.*

## Psaní čísel

*Formát zápisu čísel.*

## Jednotky

Pouze jednotky ze soustavy SI jsou použity v textu.

## Zkratky

|  |  |
| --- | --- |
| AAU | Auxiliary Arithmetic Unit |
| FSM | Finite state machine |
|  |  |
|  |  |
| TBC | To Be Confirmed |
| TBD | To Be Defined |
|  |  |
| - | - |

# Představení projektu

Výsledkem projektu je architektura samostatné výpočetní jednotky, která komunikuje přes rozhraní SPI a je schopna provádět operace **sčítání** a **násobení**.

Jednotka obsahuje následující vstupy a výstupy:

* **CS\_b** *(vstup)* – Signál, kterým *master* zahajuje komunikaci překlopením do log. 0. Pokud komunikace neprobíhá, signál musí být v log. 1.
* **MOSI** *(vstup)* – Datový signál, obsahující bity pro provedení aritmetických operací.
* **MISO** *(výstup)* – Datový signál, obsahující výsledky aritmetických operací.
* **SCLK** *(vstup)* – Synchronizační signál, určující frekvenci komunikace; při náběžné hraně jednotka posílá bit do MISO a *master* jej přijímá, při sestupné hraně *master vysílá bity do jednotky a ta je přijímá.*
* **clk** *(vstup)* – Hodinový signál, který je pro všechny části architektury stejný.
* **reset** *(vstup)* – Resetovací signál, společný pro všechny části architektury.

Komunikace probíhá ve formě paketů, kde každý paket obsahuje dva rámce. Protože je využita jak náběžná, tak sestupná hrana signálu SCLK, součástí jednoho rámce jsou bity pro provedení operací (jdoucí do jednotky) a výsledek operace s čísly z předchozího paketu (jdoucí do *master*).

Čísla jsou ve formátu desetinných čísel s dvojkovým doplňkem a s pevnou řádovou čárkou na  
8. bitu. Protože jeden rámec má velikost 16 bitů, maximální číslo, které je možné vyjádřit pomocí jednoho rámce, je 127.9960938; nejmenší pak -128. Pokud výsledek některé z operací převyšuje maximální rozsah rámce, jednotka jej automaticky zaokrouhlí.

Architektura je navržena pro FPGA firmy Spartan3, konkrétně model . Hodinový signál má   
frekvenci 50 MHz.



Obrázek 4‑1 Blokové schéma AAU

*A následně stručné shrnutí, co bude obsahem této zprávy.*

# Plán vývoje

Vývoj výpočetní jednotky začal definicí všech požadavků a shromážděním doporučených postupů pro co největší eliminaci hrubých chyb, které by vedly k významným opravám v kódu. Návrh architektury se do velké míry řídil instrukcemi z dokumentace RD01.

Nejprve byl navržen funkční blok pro zpracování příchozího signálu dle standardu SPI (**SPI\_Interface)**. Ten obsahuje obvody pro zpracování asynchronního signálu a ošetření možných chyb, které při přenosu mohou vzniknout. Následovala samostatná verifikace SPI rozhraní, kterou bylo ověřeno, že jednotka je schopna zpracovat příchozí signál a z něj vytvořit paralelní slovo.

Druhým funkčním blokem je **PKT\_Control**, jehož součástí je stavový automat o 4 stavech, který má řídit průběh komunikace a adekvátně předávat data z SPI rozhraní do výpočetní jednotky (a naopak) podle současného stavu. Po návrhu znovu následovala verifikace, součástí které byla simulace všech možných situací, které v jednotce mohou nastat.

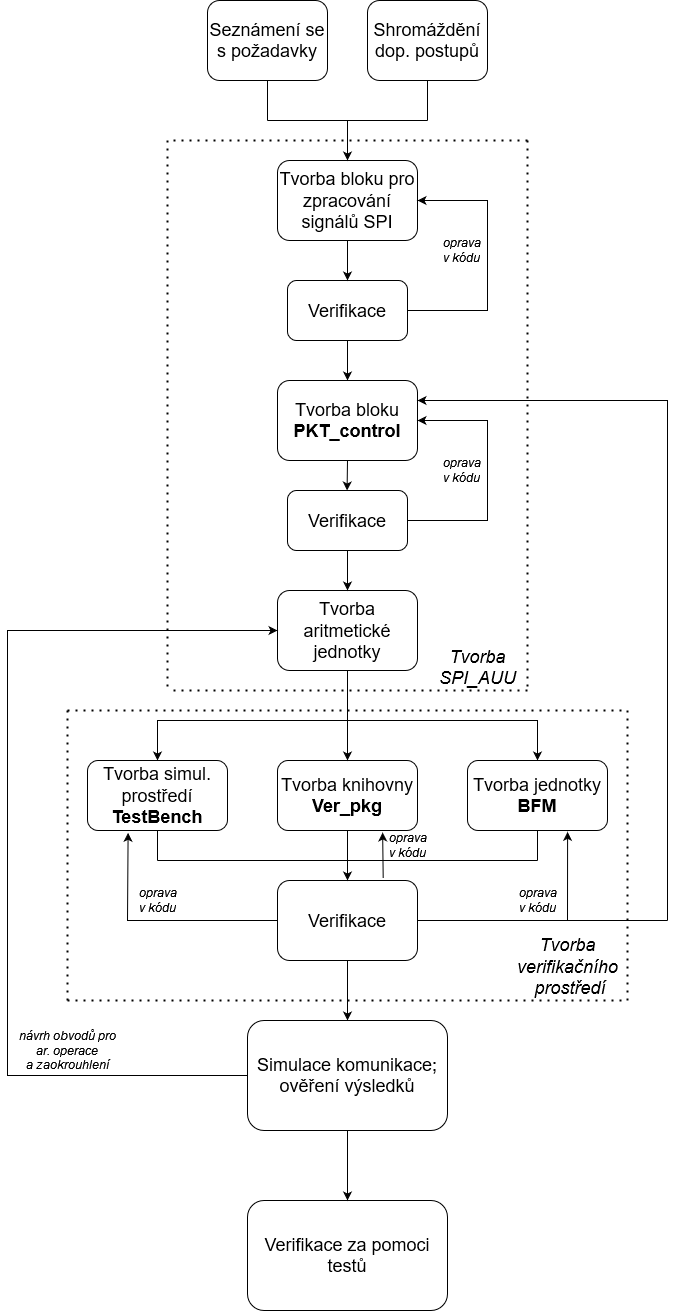
Třetí funkční blok je samotná aritmetická jednotka (**Aritmetical\_unit**), ve které jsou prováděny aritmetické operace a která řídí i proces zaokrouhlování. Výsledek je pak poslán zpět do SPI rozhraní, aby byl v dalším paketu vysílán do řídící jednotky. Pro usnadnění verifikace byla aritmetická jednotka v raných fázích zjednodušena tak, aby předávala stále stejný rámec – obvody pro výpočet a zaokrouhlování výsledku byly vytvořeny až ke konci vývoje (*viz dále*).

Tři funkční bloky dohromady tvoří kompletní výrobek, který bylo potřeba otestovat. K tomu bylo vytvořeno verifikační prostředí, jehož součástí je **TestBench**, ve kterém jsou v samostatném procesu prováděny testy. Testy využívají procedury z vlastní knihovny **Ver\_pkg**, která byla vytvořena pro přehlednost. Procedury jsou celkem tři (***SendRightPacket*, *SendWrongPacket*, *SendFrame***) a simulaci komunikace s testovanou jednotkou (**SPI\_AUU**) provádějí za pomoci bloku **BFM**, který podle pokynů z bloku **TestBench** vysílá do jednotky datové signály podle standardu SPI.

Po vytvoření funkčního verifikačního prostředí (podoba se několikrát změnila), schopného odeslat  
a přijmout paket, byl proveden první test, a sice odeslání platného paketu a příjem odpovědi. Pro správnou funkci byla nutná drobná úprava v architektuře jednotky (problém byl v datovém toku výsledků aritmetických operací uvnitř jednotky).

Jakmile přenos probíhal bez problémů, pozornost byla zaměřena na aritmetickou jednotku, tedy správnost výsledků a ošetření zaokrouhlování. Pro snadnější simulaci byl vytvořen v jazyce Python skript (**Converter.py)**, který převádí binární číslo do dekadické podoby s pevnou řádovou tečkou a s dvojkovým doplňkem.

Po ověření, že jednotka je schopna reagovat na platné rámce a odeslat výpočetně správné výsledky, byly za pomoci vytvořených procedur provedeny další testy, kterými byla verifikace dokončena.



Obrázek 5‑1 Vývojový diagram

# Popis Návrhu

Jednotka se skládá ze tří hlavních funkčních bloků:

* **SPI\_Interface (**rozhraní SPI),
* **PKT\_Control** (řadič paketů)
* **Aritmetical unit** (aritmetická jednotka)

Diagram

Description automatically generated

Obrázek 4‑1 Blokové schéma AAU

## SPI\_Interface

Blok, představující nejnižší vrstvu komunikace, který je navržen tak, aby zpracovával vstupní signály (tj. převáděla je na paralelní slovo) a vysílal výstupní signály do řídící jednotky podle standardu SPI. Součástí jsou i obvody pro detekci chyb přenosu; na případnou chybu reaguje blok **PKT\_Control** (*viz dále*).

Diagram

Description automatically generated

Obrázek 4‑2 Blokové schéma funkčního bloku SPI\_Interface

Celkem obsahuje 5 funkčních bloků:

* **Ris\_fall\_detector** – Detektor náběžné a sestupné hrany; použit pro detekci změny signálu SCLK a CS\_b. Součástí jsou dva klopné obvody, které odstraňují riziko metastability.
* **ShiftInOut** – Podle náběžných a sestupných hran SCLK a CS\_b řídí funkci serialiseru a deserialiseru.
* **Deserialiser** – Registr, převádějící vstupní signál na paralelní slovo, které lze dále zpracovat v FPGA.
* **Serialiser** – Registr, obsahující data (výsledky aritmetických operací) k odeslání.
* **ErrorHandle** – Podle počtu náběžných a sestupných hran SCLK zjišťuje, zda přenos probíhá bez chyby. Zároveň detektuje začátek a konec komunikace.

## PKT\_Control

Zprostředkovává komunikaci mezi rozhraním SPI a aritmetickou jednotkou, představuje řídící blok celé komunikace. Součástí je stavový automat a časovač, který je použit pro měření času 1 ms; pokud není do této doby přijat druhý rámec, celý paket je považován za neplatný (*viz* **požadavky**).

Diagram

Description automatically generated

Obrázek 4‑3 Blokové schéma funkčního bloku PKT\_Control

Stavový automat má celkem 4 stavy:

* **S\_awaiting\_fr1** – Výchozí stav při neprobíhající komunikaci. Při začátku komunikace posílá výsledek součtu z předchozího paketu do rozhraní SPI a přechází v další stav.
* **S\_getting\_fr1** – Jednotka přijímá první rámec. Vyskytla-li se chyba, dochází k návratu do výchozího stavu. Bezchybný rámec je poslán do AU, do serialiseru je vyslán součin z předchozího paketu a nastává přechod do dalšího stavu.
* **S\_awaiting\_fr2** – Jednotka čeká na druhý rámec. Časovač měří dobu 1 ms; trvá-li čekání déle, stavový automat přechází do výchozího stavu.
* **S\_getting\_fr2** – Jednotka přijímá druhý rámec. Je-li přijat bez chyby, předává se dál do aritmetické jednotky a automat přechází do výchozího stavu. Při výskytu chyby se automat vrací do předchozího stavu a očekává opravu.

Diagram

Description automatically generated

Obrázek 4‑4 Stavový automat ve funkčním bloku PKT\_Control

## Aritmetical\_unit

Poslední funkční blok přijímá vstupní data pro výpočet součtu a součinu, výsledky pak dává na výstup. Součástí jsou rovněž kombinační obvody, které automaticky zaokrouhlí výsledek v případě přetečení nebo podtečení. Blok neobsahuje samostatné komponenty, je tedy napsán kompletně v jednom souboru.

Diagram

Description automatically generated

Obrázek 4‑5 Blokové schéma funkčního bloku Aritmetical\_unit

# Verifikační Plán

*Verifikační plán by měl definovat, jakým způsobem chcete ověřit požadavky kladené na návrh.   
Jiný způsob bude pro požadavky, které mají být ověřeny kontrolou dokumentace ([R]), simulací ([S]) či analýzou ([A]).*

*Při verifikaci splnění požadavku kontrolou dokumentace budou například uvedeny odkazy na jednotlivé kapitoly závěrečné zprávy, které splnění požadavku dokumentují. Při verifikaci pomocí simulace je pak třeba představit základní myšlenku simulace – tedy testování je prováděno pomocí testovacích vektorů, které jsou aplikovány na návrh a následně je vyhodnocena jeho odezva. V případě verifikace požadavku analýzou je pak třeba uvést, jakou analýzou je takový požadavek ověřen.*

## Verifikační matice

*Formální záležitost, ale zřejmě nejdůležitější část dokumentace týkající se verifikace. Matice obsahuje všechny požadavky aplikované na návrh, způsob jejich ověření a konstatování, zda byl požadavek úspěšně ověřen.*

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| REQ ID | Název | Ver. metoda | | | Verifikace požadavku | Splněno |
| **R** | **S** | **A** |
| REQ\_AAU\_G\_001 | Cílová technologie | A | - | - | Kapitola 8 | A/N |
| REQ\_AAU\_G\_002 | Synchronní návrh | A | - | - |  |  |
| REQ\_AAU\_G\_003 | Výstupní signály | A | A | - |  |  |
| REQ\_AAU\_G\_004 | Vstupní signály | A | A | - |  |  |
| REQ\_AAU\_G\_005 | Bezpečná implementace FSM | A | A | - |  |  |
| REQ\_AAU\_G\_006 | Dokumentace | A | - | - |  |  |
| REQ\_AAU\_F\_010 | Výpočetní jednotka | A | - | - |  |  |
| REQ\_AAU\_F\_011 | Formát čísel | - | A | - | Test *tc\_xxx* |  |
| REQ\_AAU\_F\_012 | Zaokrouhlování čísel | - | A | - |  |  |
| REQ\_AAU\_F\_013 | Přetečení operací | - | A | - |  |  |
| REQ\_ AAU\_I\_020 | Frekvence SPI | - | A | - |  |  |
| REQ\_ AAU\_I\_021 | Pořadí bitů | - | A | - |  |  |
| REQ\_ AAU\_I\_022 | Nekompletní rámec | - | A | - |  |  |
| REQ\_ AAU\_I\_023 | Reset komunikace | - | A | - |  |  |
| REQ\_ AAU\_I\_024 | Formát paketů | - | A | - |  |  |

Table 2‑2 Verifikační matice

## Popis verifikačního prostředí

*Tato kapitola popisuje strukturu verifikačního prostředí a funkci jeho jednotlivých komponent. Podobně jako při popisu návrhu je nejprve představena celková struktura a popis předávání dat mezi jednotlivými komponentami. Následně jsou jednotlivé komponenty blíže představeny.*

Obrázek 4‑1 Blokové schéma verifikačního prostředí

**SPI BFM** zajišťuje …

**Testbench** …

**Testcase** …

## Verifikační testy

*V této kapitole jsou uvedeny všechny testy pro ověření funkčnosti návrhu (a splnění požadavků). Popis každého testu by se měl skládat z následujících částí:*

* *Název testu*
* *Stručný popis testu – jakou vlastnost má ověřit, do jakých stavů je DUT uvedeno*
* *Seznam požadavků, které tento test ověřuje*
* *Detailní popis testovací procedury – v případě přímých testů jsou to pak jednotlivé kroky.*

|  |  |  |  |
| --- | --- | --- | --- |
| **Název testu** | Detekce chybného rámce na sběrnici SPI | **Číslo testu.:** | tc\_spi\_001 |
| **Popis testu** | Účelem tohoto testu je ověření, že chybný rámce není v DUT přijat. Testovány jsou dva scénáře, kdy nejprve je do DUT odeslán krátký rámec a následně dlouhý rámec. | | |
| **Reflektované požadavky** | REQ\_AAU\_I\_022 | | |
| **Postup testu** | 1. Reset DUT 2. Spuštění generování hodinového signálu s frekvencí 50 MHz. 3. BFM\_SPIM: Odeslán platný rámec s hodnotou XXX. 4. BFM\_SPIM: Odeslán chybný rámec s hodnotou XXX. 5. BFM\_SPIM: Odeslán platný rámec s hodnotou XXX. 6. Atd. | | |

# Výsledky implementace

*V závěrečné kapitole zprávy by měly být uvedeny výsledky implementace pro cílový obvod FPGA.*

*Kromě základních informací (využité zdroje, maximální pracovní frekvence) je nutné také uvést informace o tom, jakým způsobem byly výsledky získány. Jedná se především o použité nástroje včetně jejich verze, nastavení pro implementaci (konfigurace syntetizéru, implementační strategie pro P&R) a také omezení implementace (tzv. constraints), pokud jsou použity.*

*V tomto projektu jsou vstupní signály asynchronní, v takovém případě je žádoucí výslednou implementaci analyzovat z hlediska zpoždění na vstupních a výstupních signálech a dokázat dostatečnou časovou rezervu při zpracování signálů sběrnice SPI.*